

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-232679

(P2003-232679A)

(43)公開日 平成15年8月22日(2003.8.22)

(51)Int.Cl.*

識別記号

F I

テマコード*(参考)

G 01 J 1/44

G 01 J 1/44

P 2 G 065

1/02

1/02

B 2 G 088

H 01 L 27/146

H 04 N 5/32

4 M 118

31/10

G 01 T 1/20

E 5 C 024

H 04 N 5/32

H 01 L 31/10

G 5 F 049

審査請求 未請求 請求項の数 3 OL (全 8 頁) 最終頁に続く

(21)出願番号

特願2002-34298(P2002-34298)

(71)出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(22)出願日

平成14年2月12日(2002.2.12)

(72)発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72)発明者 山中 辰己

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74)代理人 100088155

弁理士 長谷川 芳樹 (外3名)

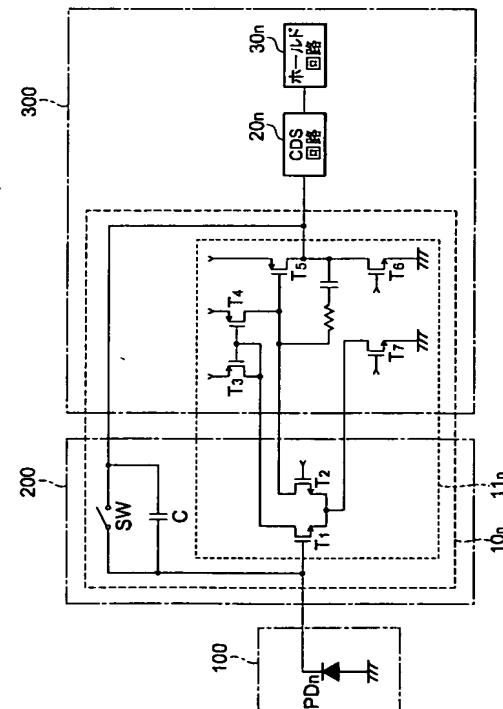
最終頁に続く

(54)【発明の名称】光検出装置

(57)【要約】

【課題】画素数増加や高密度化が可能であって正確な光検出をことができる光検出装置を提供する。

【解決手段】光検出装置1は、フォトダイオードPD_n、積分回路10_n、CDS回路20_nおよびホールド回路30_nを備える。積分回路10_nは、アンプ11_n、容量素子CおよびスイッチSWを含む。第1基板100上にはフォトダイオードPD_nが配列されている。第2基板200上には、積分回路10_nのアンプ11_nの差動対入力部(トランジスタT₁, T₂)および容量素子Cなどが配置されている。第3基板300上には、積分回路10_nのアンプ11_nの駆動部(トランジスタT₅, T₆)などが配置されている。



【特許請求の範囲】

【請求項1】 入射光強度に応じた量の電荷を各々発生する複数のフォトダイオードと、

入力端側の差動対入力部および出力端側の駆動部を有するアンプと、前記アンプの前記入力端と前記出力端との間に設けられた容量素子およびスイッチとを含み、前記スイッチが開いているときに前記フォトダイオードより前記入力端に入力した電荷を前記容量素子に蓄積し、前記容量素子に蓄積されている電荷の量に応じた電圧値を前記出力端より出力する積分回路と、
を備え、

第1基板上に前記複数のフォトダイオードが設けられ、第2基板上に前記容量素子および前記差動対入力部が設けられ、

第3基板上に前記駆動部が設けられ、

前記第1基板と前記第2基板とが互いにバンプ接続されていて、前記フォトダイオードと前記積分回路の前記入力端とが互いに電気的に接続されている、
ことを特徴とする光検出装置。

【請求項2】 前記第2基板と前記第3基板とが互いにバンプ接続されていることを特徴とする請求項1記載の光検出装置。

【請求項3】 入射光強度に応じた量の電荷を各々発生する複数のフォトダイオードと、

入力端側の差動対入力部および出力端側の駆動部を有するアンプと、前記アンプの前記入力端と前記出力端との間に設けられた容量素子およびスイッチとを含み、前記スイッチが開いているときに前記フォトダイオードより前記入力端に入力した電荷を前記容量素子に蓄積し、前記容量素子に蓄積されている電荷の量に応じた電圧値を前記出力端より出力する積分回路と、
を備え、

第1基板上に前記複数のフォトダイオードが設けられ、第2基板上に前記容量素子、前記差動対入力部および前記駆動部が設けられ、

前記第1基板と前記第2基板とが互いにバンプ接続されていて、前記フォトダイオードと前記積分回路の前記入力端とが互いに電気的に接続されており、

前記複数のフォトダイオードが設けられている前記第1基板上の領域と重なる前記第2基板上の第1領域に前記容量素子および前記差動対入力部が設けられ、

前記複数のフォトダイオードが設けられている前記第1基板上の領域と重ならない前記第2基板上の第2領域に前記駆動部が設けられている、
ことを特徴とする光検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のフォトダイオードが配列された光検出装置に関するものである。

【0002】

10

【従来の技術】光検出装置は、1次元状または2次元状に配列された複数のフォトダイオードと、アンプおよび容量素子を含む積分回路とを備え、さらに以降の信号処理回路をも備える場合がある。この光検出装置では、各フォトダイオードへの入射光の強度に応じた量の電荷が該フォトダイオードから出力され、その電荷が容量素子に蓄積され、その蓄積された電荷の量に応じた電圧値が積分回路より出力される。複数のフォトダイオードそれぞれで発生した電荷の量に応じて積分回路より出力される電圧値に基づいて、複数のフォトダイオードが配列された受光部へ入射する光が検出される。

20

【0003】このような光検出装置として特開平11-287863号公報に開示されたものが知られている。この公報に開示された光検出装置は、複数のフォトダイオードが2次元配列された第1基板と、積分回路等が設けられた第2基板とを、フレキシブルケーブルにより互いに接続したものである。また、複数のフォトダイオードが2次元配列された第1基板上にはスイッチアレイも設けられていて、このスイッチアレイ内の各スイッチの開閉により、2次元配列された複数のフォトダイオードのうちの何れか1以上のものが選択されて積分回路と接続されるようになっている。

30

【0004】

【発明が解決しようとする課題】しかしながら、上記公報に開示された光検出装置では、第1基板上に配列された複数のフォトダイオードの間の領域に、各フォトダイオードと各スイッチとを互いに結ぶ配線が設けられ、その配線本数は極めて多い。第1基板上のフォトダイオード数(画素数)の増加や高密度化を図るとすると、狭い領域に更に多くの配線を設ける必要があることから、画素数増加や高密度化が困難である。また、配線が長くなることから、フォトダイオードから積分回路へ送られる電荷にノイズが重畠し易くなり、正確な光検出をすることができない。

40

【0005】このような問題を解消するために、複数のフォトダイオードが2次元配列された第1基板と、積分回路等が設けられた第2基板とを、互いにバンプ接続することが考えられる。バンプ接続することにより、第1基板上の配線の本数を減らすことができ、或いは、配線を短くすることができるので、第1基板上の画素数増加や高密度化が可能となる。

50

【0006】しかし、バンプ接続した場合には、第1基板上のフォトダイオードと、第2基板上の積分回路に含まれるアンプとが、互いに近くに配置されることになる。それ故、第2基板上のアンプの発熱により、第1基板上のフォトダイオードの温度が上昇し、この温度上昇に因り正確な光検出をすることができない。

【0007】本発明は、上記問題点を解消する為になされたものであり、画素数増加や高密度化が可能であって正確な光検出をすることができる光検出装置を提供する

ことを目的とする。

【0008】

【課題を解決するための手段】本発明に係る光検出装置は、(1) 入射光強度に応じた量の電荷を各々発生する複数のフォトダイオードと、(2) 入力端側の差動対入力部および出力端側の駆動部を有するアンプと、アンプの入力端と出力端との間に設けられた容量素子およびスイッチとを含み、スイッチが開いているときにフォトダイオードより入力端に入力した電荷を容量素子に蓄積し、容量素子に蓄積されている電荷の量に応じた電圧値を出力端より出力する積分回路と、を備える。

【0009】さらに、本発明に係る光検出装置は、第1基板上に複数のフォトダイオードが設けられ、第2基板上に容量素子および差動対入力部が設けられ、第3基板上に駆動部が設けられ、第1基板と第2基板とが互いにパンプ接続されていて、フォトダイオードと積分回路の入力端とが互いに電気的に接続されていることを特徴とする。さらに第2基板と第3基板とが互いにパンプ接続されているのが好適である。

【0010】或いは、本発明に係る光検出装置は、第1基板上に複数のフォトダイオードが設けられ、第2基板上に容量素子、差動対入力部および駆動部が設けられ、第1基板と第2基板とが互いにパンプ接続されていて、フォトダイオードと積分回路の入力端とが互いに電気的に接続されており、複数のフォトダイオードが設けられている第1基板上の領域と重なる第2基板上の第1領域に容量素子および差動対入力部が設けられ、複数のフォトダイオードが設けられている第1基板上の領域と重ならない第2基板上の第2領域に駆動部が設けられていることを特徴とする。

【0011】本発明によれば、第1基板に光が入射すると、第1基板上の各フォトダイオードから入射強度に応じた量の電荷が発生する。その電荷は、第1基板とパンプ接続された第2基板（或いは第2基板上の第1領域）上の積分回路に入力して容量素子に蓄積される。そして、この容量素子に蓄積された電荷の量に応じた電圧値が、第3基板（或いは第2基板上の第2領域）上の積分回路の駆動部より出力される。

【0012】本発明では、積分回路の容量素子およびアンプの差動対入力部は、第1基板とパンプ接続される第2基板（或いは第2基板上の第1領域）上に設けられている。これに対して、積分回路のアンプの駆動部は、第1基板とはパンプ接続されない第3基板（或いは第2基板上の第2領域）上に設けられている。このことから、本発明に係る光検出装置は、画素数増加や高密度化が可能であって正確な光検出をすることができる。

【0013】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を

省略する。

【0014】図1は、本実施形態に係る光検出装置1の概略図である。この光検出装置1は、N個のフォトダイオードPD₁～PD_N、N個の積分回路1O₁～1O_N、N個のCDS（Correlated Double Sampling、相関二重サンプリング）回路2O₁～2O_N、および、N個のホールド回路3O₁～3O_Nを備えている。ただし、Nは2以上の整数である。

【0015】各フォトダイオードPD_nは、入射光強度に応じた量の電荷を発生する。ただし、nは1以上N以下の各整数である。各積分回路1O_nは、フォトダイオードPD_nで発生した電荷を入力して、その電荷を容量素子に蓄積し、その蓄積した電荷の量に応じた電圧値を出力する。各CDS回路2O_nは、積分回路1O_nより出力された電圧値を入力し、その入力した電圧値の一定時間の変動分を表す電圧値を出力する。そして、各ホールド回路3O_nは、CDS回路2O_nより出力された電圧値を入力し、その電圧値を一定期間に亘って保持し出力する。

【0016】図2は、本実施形態に係る光検出装置1の積分回路1O_nの詳細な回路図である。フォトダイオードPD_nは、アノード端子が接地され、カソード端子が積分回路1O_nのアンプ11_nの入力端に接続されている。積分回路1O_nは、アンプ11_n、容量素子CおよびスイッチSWを含んでいる。容量素子CおよびスイッチSWそれぞれは、互いに並列に接続されていて、アンプ11_nの入力端と出力端との間に設けられている。アンプ11_nの出力端にCDS回路2O_nが接続されている。この積分回路1O_nでは、スイッチSWが閉じることにより、容量素子Cが放電されて、出力電圧値が初期化される。一方、スイッチSWが開いている期間には、フォトダイオードPD_nより入力端に入力した電荷が容量素子Cに蓄積され、この容量素子Cに蓄積されている電荷の量に応じた電圧値が出力端より出力される。

【0017】アンプ11_nは、FET型のトランジスタT₁～T₇を有している。これらのうち、トランジスタT₁、T₂、T₆およびT₇それぞれはNMOSトランジスタであり、トランジスタT₃、T₄およびT₅それぞれはPMOSトランジスタである。トランジスタT₁のゲート端子はアンプ11_nの入力端に接続されている。トランジスタT₁のソース端子およびトランジスタT₂のソース端子それぞれは、トランジスタT₇のドレイン端子と接続されている。トランジスタT₇のソース端子は接地されている。トランジスタT₁のドレイン端子は、トランジスタT₃のゲート端子およびドレイン端子ならびにトランジスタT₄のゲート端子それぞれに接続されている。トランジスタT₂のドレイン端子は、トランジスタT₄のドレイン端子およびトランジスタT₅のゲート端子それぞれに接続されている。トランジスタT₅のドレイン端子は、トランジスタT₆のドレイン端子と接続され

ており、また、アンプ11nの出力端に接続されている。トランジスタT₆のソース端子は接地されている。トランジスタT₃～T₅それぞれのソース端子には所定の電圧値が入力している。トランジスタT₂、T₆およびT₇それぞれのゲート端子には所定のDC電圧値が入力している。尚、アンプとしての発振を防ぐために、トランジスタT₅のドレインとゲートとの間には、図に示すように、容量素子と抵抗素子とが直列に接続されている。

【0018】これらのトランジスタT₁～T₇のうち、入力端側にあるトランジスタT₁およびT₂は、アンプ11nの差動対入力部を構成するものである。また、出力端側にあるトランジスタT₅およびT₆は、アンプ11nの駆動部を構成するものである。差動対入力部における発熱量は比較的小さいのに対して、駆動部における発熱量は比較的大きい。

【0019】また、図1および図2に示されるように、本実施形態に係る光検出装置1は、第1基板100、第2基板200および第3基板300の3つの基板上に分割されている。すなわち、第1基板100上にはN個のフォトダイオードPD₁～PD_Nが1次元状または2次元状に配列されている。第2基板200上には、N個の積分回路10₁～10_Nそれぞれのアンプ11nの差動対入力部、容量素子CおよびスイッチSWが配置されている。第3基板300上には、N個の積分回路10₁～10_Nそれぞれのアンプ11nの駆動部および他のトランジスタT₃、T₄、T₇、ならびに、N個のCDS回路20₁～20_N、および、N個のホールド回路30₁～30_Nが配置されている。

【0020】図3は、本実施形態に係る光検出装置1における第1基板100、第2基板200および第3基板300の配置関係を示す斜視図である。なお、この図には示されていないが、実際には基板同士は各々バンプ電極により電気的に接続されている。この図に示されるように、本実施形態に係る光検出装置1では、それぞれの基板が光の入射方向に重なるように実装されており、第1基板100と第2基板200とは互いにバンプ接続されており、また、第2基板200と第3基板300とは互いにバンプ接続されている。

【0021】第1基板100に光が入射すると、各フォトダイオードPD_nから入射光量に応じた量の電荷が出力され、その電荷は第1基板100からバンプ接続をして第2基板200上の積分回路10_nの入力端に入力する。第2基板200および第3基板300の双方にまたがって設けられたアンプ11nならびに第2基板200上の容量素子CおよびスイッチSWを含む積分回路10_nより、フォトダイオードPD_nで発生した電荷の量に応じた電圧値が出力される。そして、第3基板300上に設けられたCDS回路20_nより、積分回路10_nより出力された電圧値の一定時間の変動分を表す電圧値が出力され、第3基板300上に設けられたホールド回路30_nより

により、CDS回路20_nより出力された電圧値が一定期間に亘って保持され出力される。

【0022】図4は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。なお、この図において、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

【0023】第1基板100は、n型半導体基板の第1面(図で上側の面)上に、該n型基板とともにp-n接合を形成してフォトダイオードPDを構成するp⁺領域111と、アイソレーション領域としてのn⁺領域112とが形成されている。また、第1基板100は、n型半導体基板の第2面(図で下側の面)上に、金属電極124とオミック接続を形成するn⁺型不純物層121と、表面を保護するための絶縁性の保護層122と、保護層122を貫通してn⁺型不純物層121と電気的に接続される金属電極124とが形成されている。さらに、第1基板100は、第1面と第2面との間を貫通する貫通孔が設けられ、その貫通孔に貫通電極131が設けられている。そして、第1基板100の第1面側においてp⁺領域111と貫通電極131とを電気的に接続する金属配線層113が形成され、また、第2面側において貫通電極131と電気的に接続された金属電極123が形成されている。

【0024】第2基板200は、半導体基板の第1面(図で上側の面)上に、積分回路10_nの入力端と電気的に接続された金属電極223、及び、接地電位に電気的に接続された金属電極224が形成されている。そして、第1基板100の金属電極123と第2基板200の金属電極223とはバンプ423により互いに接続されており、また、第1基板100の金属電極124と第2基板200の金属電極224とはバンプ424により互いに接続されている。第1基板100と第2基板200との間の隙間は樹脂により充填されている。

【0025】また、第1基板100の第1面の側には、シンチレータ510および遮蔽材520が配置されている。シンチレータ510は、第1基板100のp⁺領域111の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽版520は、第1基板100のn⁺領域112の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレータ510を固定するものである。

【0026】この図4に示される構成では、X線等のエネルギー線がシンチレータ510に入射すると、そのシンチレータ510よりシンチレーション光が発生する。さらに、そのシンチレーション光が第1基板100のp⁺領域111に入射すると、p-n接合部において電荷が発生する。その電荷は、金属配線層113、貫通電極131、金属電極123、バンプ423および第2基板200

0の金属電極223を経て、第2基板200上に形成されている積分回路10nの入力端に入力する。積分回路10nのスイッチSWが開いていれば、入力端に入力した電荷は容量素子Cに蓄積される。そして、第3基板300上に形成されている積分回路10nの駆動部より、容量素子Cに蓄積されている電荷の量に応じた電圧値が出力される。

【0027】図5は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の他の例を示す図である。なお、この図においても、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

【0028】第1基板100は、n型半導体基板の第1面(図で上側の面)上に、電荷再結合を防止するためのn⁺型アキュムレーション層151と、表面を保護するための絶縁性の保護層152とが形成されている。第1基板100は、n型半導体基板の第2面(図で下側の面)上に、該n型基板とともにp-n接合を形成してフォトダイオードPDを構成するp⁺領域161が形成され、アイソレーション領域としてのn⁺領域162が形成され、これらの上に保護層163が形成されている。また、第1基板100の第2面には、p⁺領域161と電気的に接続された金属電極164と、n⁺領域162と電気的に接続された金属電極165とが形成されている。

【0029】第2基板200は、半導体基板の第1面(図で上側の面)上に、積分回路10nの入力端と電気的に接続された金属電極264および金属電極265が形成されている。そして、第1基板100の金属電極164と、第2基板200の金属電極264とは、バンプ464により互いに接続されている。第1基板100の金属電極165と、第2基板200の金属電極265とは、バンプ465により互いに接続されている。第1基板100と第2基板200との間の隙間は樹脂により充填されている。

【0030】また、第1基板100の第1面の側には、シンチレータ510および遮蔽材520が配置されている。シンチレータ510は、第1基板100のp⁺領域161の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽版520は、第1基板100のn⁺領域162の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレータ510を固定するものである。また、第1基板100は、p⁺領域161が形成された部分において、第1面側が研削されて、厚みが薄くなっている。

【0031】この図5に示される構成では、X線等のエネルギー線がシンチレータ510に入射すると、そのシンチレータ510よりシンチレーション光が発生する。さらに、そのシンチレーション光が第1基板100を透過

してp⁺領域161に入射すると、p-n接合部において電荷が発生する。その電荷は、金属配線層164、バンプ464および第2基板200の金属電極264を経て、第2基板200上に形成されている積分回路10nの入力端に入力する。積分回路10nのスイッチSWが開いていれば、入力端に入力した電荷は容量素子Cに蓄積される。そして、第3基板300上に形成されている積分回路10nの駆動部より、容量素子Cに蓄積されている電荷の量に応じた電圧値が出力される。

【0032】以上のように、図4および図5の何れに示された構成の場合にも、本実施形態に係る光検出装置1では、第1基板100上の各フォトダイオードPD_nで発生した電荷は、この第1基板100とバンプ接続された第2基板200上の積分回路10nの入力端に入力して容量素子Cに蓄積される。そして、第3基板300上の積分回路10nの駆動部より、容量素子Cに蓄積されている電荷の量に応じた電圧値が出力される。

【0033】したがって、第1基板100上の配線を減らすことができ、或いは、配線を短くすることができる。また、第1基板100上のフォトダイオードPD_nから第2基板200上の積分回路10nのアンプ11nの差動対入力部および容量素子Cへ至るまでの電荷移動経路を短くすることができる。ノイズの重畠が抑制され、この点で正確な光検出が可能となる。また、第3基板300上の各積分回路10nのアンプ11nの駆動部は、発熱量が多いものの、各フォトダイオードPD_nが形成された第1基板100と離れて配置され得るので、第1基板100上の各フォトダイオードPD_nの温度上昇が抑制され、この点でも正確な光検出が可能となる。さらに、フォトダイオードアレイが形成される第1基板100と、積分回路など信号処理回路が形成される第2基板200および第3基板300とで、最適な製造プロセスを採用することができるので、この点でも好ましい。

【0034】図6は、他の実施形態に係る光検出装置2における第1基板100および第2基板210の配置関係を示す斜視図である。この光検出装置2における第1基板100は、上述した光検出装置1における第1基板100と同様の構成であり、N個のフォトダイオードPD₁～PD_Nが形成されている。一方、この光検出装置2における第2基板210は、上述した光検出装置1における第2基板200および第3基板300を合わせた構成と略同様のものである。

【0035】この光検出装置2における第2基板210は第1領域211および第2領域212を含む。第2基板210の第1領域211は、第1基板100とバンプ接続されていて、フォトダイオードPD_nと積分回路10nの入力端とが互いに電気的に接続されている。第2基板210の第1領域211は、フォトダイオード

$PD_1 \sim PD_N$ が設けられている第1基板100上の領域と重なる領域であり、上述した光検出装置1における第2基板200と同様のものであり、積分回路10nの容量素子Cおよびアンプ11nの差動対入力部が設けられている。一方、第2基板210の第2領域212は、フォトダイオード $PD_1 \sim PD_N$ が設けられている第1基板100上の領域と重ならない領域であり、上述した光検出装置1における第3基板300と同様のものであり、積分回路10nのアンプ11nの駆動部が設けられている。

【0036】この光検出装置2では、第1基板100上の各フォトダイオード PD_n で発生した電荷は、この第1基板100とバンプ接続された第2基板210の第1領域211上の積分回路10nの入力端に入力して容量素子Cに蓄積される。そして、第1基板100とは重ならない第2基板210の第2領域212上の積分回路10nの駆動部より、容量素子Cに蓄積されている電荷の量に応じた電圧値が出力される。したがって、この光検出装置2も、上述した光検出装置1が奏する効果と同様の効果を奏すことができる。

【0037】本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、積分回路に含まれるアンプは、図2に示された構成のものに限定されず、他の構成のものであってもよい。また、第1基板100および第2基板200それぞれの断面構造は、図4および図5それぞれに示されたものに限定されない。また、第3基板300または第2基板210の第2領域212には、更に他の回路（例えばA/D変換回路など）が設けられていてもよい。

【0038】

【図面の簡単な説明】

【図1】本実施形態に係る光検出装置1の概略図である。

【図2】本実施形態に係る光検出装置1の積分回路10nの詳細な回路図である。

【図3】本実施形態に係る光検出装置1における第1基板100、第2基板200および第3基板300の配置関係を示す斜視図である。

【図4】本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。

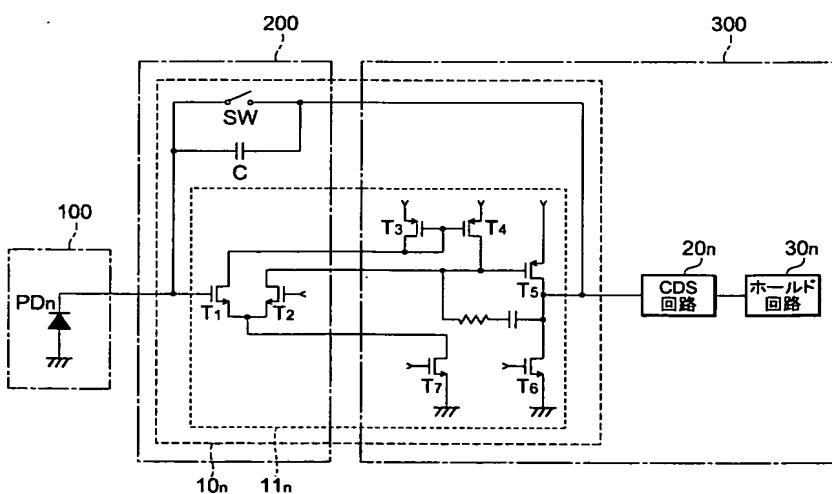
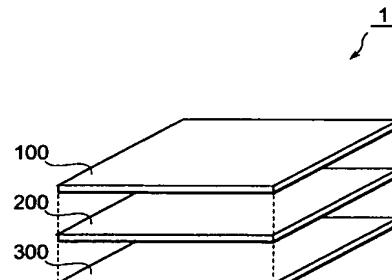
【図5】本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の他の例を示す図である。

【図6】他の実施形態に係る光検出装置2における第1基板100および第2基板210の配置関係を示す斜視図である。

【符号の説明】

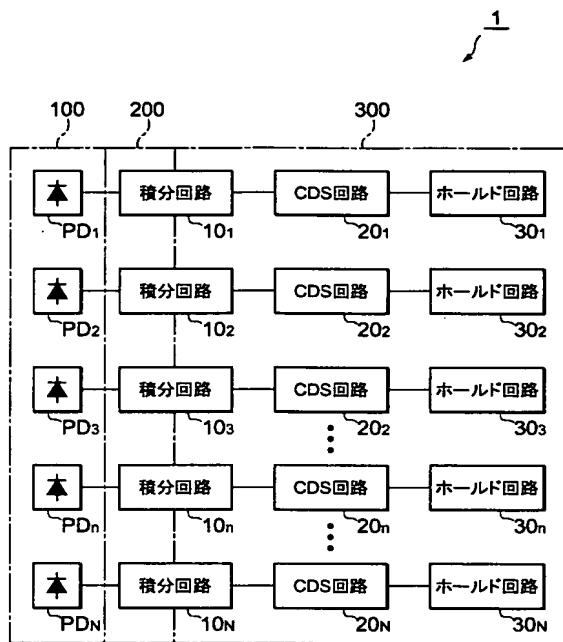
1, 2…光検出装置、10…積分回路、11…アンプ、
20…CDS回路、30…ホールド回路、100…第1基板、
200, 210…第2基板、300…第3基板。

【図3】

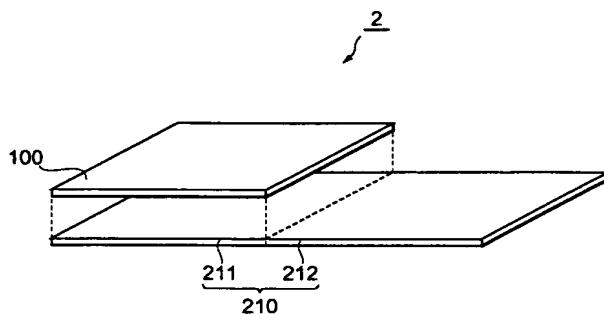


【図2】

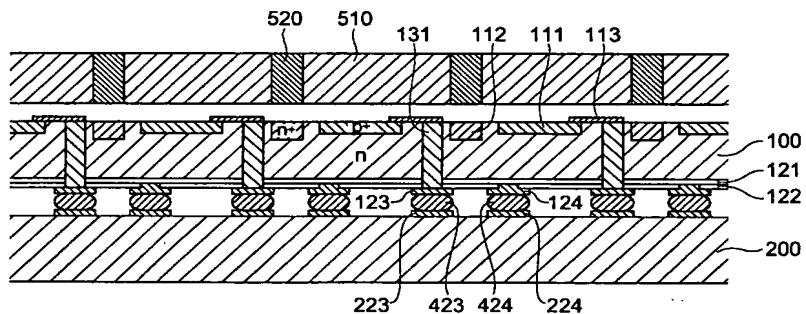
【図1】



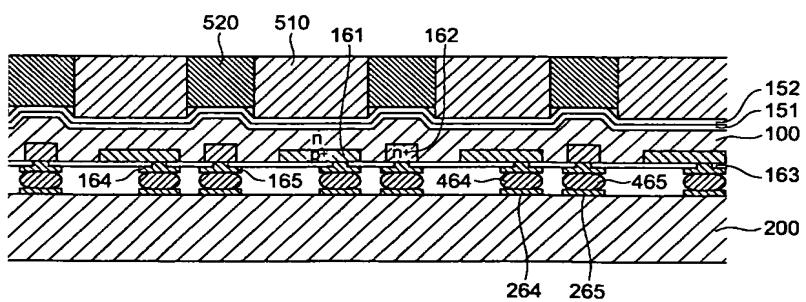
【図6】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁷
// G 01 T 1/20

識別記号

F I
H O 1 L 27/14

テマコト' (参考)
F

(72) 発明者 藤井 義磨郎
静岡県浜松市市野町1126番地の1 浜松ホ
ニクス株式会社内

F ターム(参考) 2G065 AA04 BA09 BA34 BC08 BE01
BE08
2G088 EE01 FF02 GG19 JJ04 JJ05
JJ09 JJ33 JJ37 KK05 KK06
4M118 BA04 BA06 BA14 CA03 CB11
FA06 FA08 HA19 HA31
5C024 AX12 CX06 CY47 HX01 HX13
HX17 HX31 HX35
5F049 MA02 TA05 TA11 UA01 UA20
WA07